

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288791  
 (43)Date of publication of application : 01.11.1996

(51)Int.CI.

H03H 11/24  
 H03K 19/0944  
 H04B 1/04  
 H04B 1/16

(21)Application number : 07-085599  
 (22)Date of filing : 11.04.1995

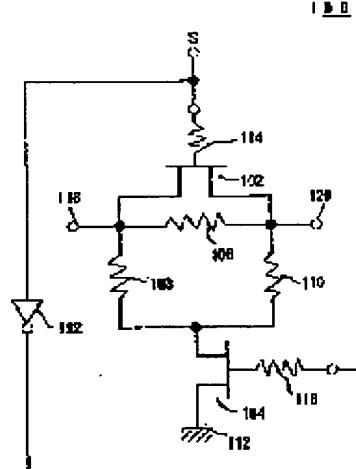
(71)Applicant : FUJITSU LTD  
 (72)Inventor : IWAI KENJI  
 KOBAYASHI KAZUHIKO

**(54) ATTENUATOR UNIT, STEP ATTENUATOR HAVING THE UNIT AND ELECTRONIC EQUIPMENT HAVING THE ATTENUATOR**

## (57)Abstract:

PURPOSE: To reduce the number of components and layout area and to provide a step attenuator unit with a simple construction by sharing transistors(TRs) arranged on the shunt side.

CONSTITUTION: When an FET 102 is turned off and an FET 104 is turned on by an external signal S, an attenuator unit 100 operates as a p type attenuator. A signal inputted to a terminal 118 is attenuated in accordance with the quantity of attenuation determined by resistance 106, 108, 110 and outputted to a terminal 120. when the FET 102 is turned on and the FET 104 is turned off by the signal S, a conductive state is formed between the terminals 118, 120 and the signal inputted to the terminal 118 is outputted to the terminal 120 without being attenuated. Thereby the quantity of attenuation between the terminals 118, 120 can be set up stepwise and an attenuator unit with simple constitution reducing one FET from the number of FETs on the shunt side can be attained.



## LEGAL STATUS

[Date of request for examination] 08.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3270801

[Date of registration] 18.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-288791

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 03 H 11/24		8731-5 J	H 03 H 11/24	B
H 03 K 19/0944			H 04 B 1/04	E
H 04 B 1/04			1/16	Z
1/16			H 03 K 19/094	A

審査請求 未請求 請求項の数15 O.L (全17頁)

(21)出願番号	特願平7-85599	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成7年(1995)4月11日	(72)発明者	岩井 健二 北海道札幌市中央区北一条西2丁目1番地 富士通北海道ディジタル・テクノロジ株 式会社内
		(72)発明者	小林 一彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 伊東 忠彦

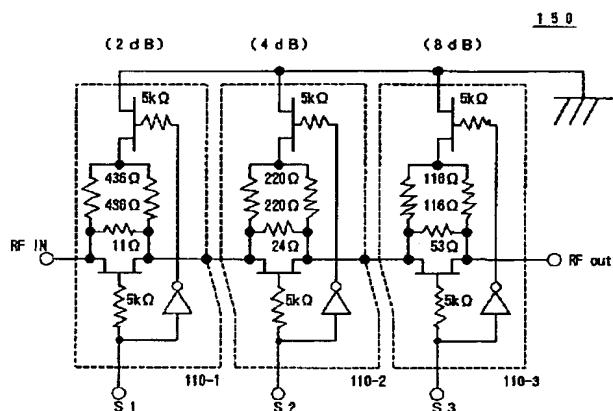
(54)【発明の名称】 アッテネータユニット及びこれを有するステップアッテネータ並びにステップアッテネータを有する電子機器

(57)【要約】

【目的】 小型かつ高密度で形成でき、かつ簡単に設計でき、低コストのステップアッテネータを提供する。

【構成】 直列に接続された複数のアッテネータユニットを有し、信号を段階的に減衰するステップアッテネータであって、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とするステップアッテネータ。

本発明に係るステップアッテネータの第1実施例の電気回路図



## 【特許請求の範囲】

【請求項1】 信号を減衰するためのアッテネータユニットであって、前記アッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とするアッテネータユニット。

【請求項2】 前記アッテネータユニットは、前記第1のトランジスタのゲート電圧と前記第2のトランジスタのゲート電圧の少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、第1のディプレッション型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、

前記第1のD-FETのソースと第2の電源電圧との間に接続された第2の抵抗と、

前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする請求項1記載のアッテネータユニット。

【請求項3】 直列に接続された複数のアッテネータユニットを有し、信号を段階的に減衰するステップアッテネータであって、前記複数のアッテネータユニットの各々は、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とするステップアッテネータ。

【請求項4】 前記複数のアッテネータユニットのうち少なくとも1つは、前記第1のトランジスタのゲート電圧と前記第2のトランジスタのゲート電圧の少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、

第1のディプレッション型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、

前記第1のD-FETのソースと第2の電源電圧との間

に接続された第2の抵抗と、

前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする請求項3記載のステップアッテネータ。

【請求項5】 少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとを有し、信号を段階的に減衰するステップアッテネータであって、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記

第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、

前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とするステップアッテネータ。

【請求項6】 前記ステップアッテネータは、前記第1のトランジスタのゲート電圧、前記第2のトランジスタのゲート電圧、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、前記第5のトランジスタのゲート電圧のうち少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、

第1のディプレッション型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、

前記第1のD-FETのソースと第2の電源電圧との間に接続された第2の抵抗と、

前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを

特徴とする請求項5記載のステップアッテネータ。

【請求項7】 第1のディプレッション型F E T (D-F E T)と、

前記第1のD-F E Tのドレインと第1の電源電圧との間に接続された第1の抵抗と、

前記第1のD-F E Tのソースと第2の電源電圧との間に接続された第2の抵抗と、

前記第1のD-F E Tのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-

F E Tのゲートに入力された信号が反転され、前記第1のD-F E Tのドレインから出力されることを特徴とするインバータ回路。

【請求項8】 信号を段階的に減衰するステップアッテネータと、該ステップアッテネータの出力側に接続された増幅器とを有する増幅器モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする増幅器モジュール。

【請求項9】 信号を段階的に減衰するステップアッテネータと、該ステップアッテネータの出力側に接続された増幅器とを有する増幅器モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、

第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、

前記第4の抵抗と並列に接続された第3のトランジスターと、

前記第5の抵抗と第1の電位との間に接続された第4の

トランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする増幅器モジュール。

10 【請求項10】 送信信号を生成する送信回路と、前記送信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した前記送信信号を増幅する増幅器とを有する送信機モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスターと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスターとを有し、前記第1のトランジスターのゲート電圧及び前記第2のトランジスターのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする送信機モジュール。

【請求項11】 送信信号を生成する送信回路と、前記送信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した前記送信信号を増幅する増幅器とを有する送信機モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスターと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスターとを有し、前記第1のトランジスターのゲート電圧及び前記第2のトランジスターのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、

第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、

前記第4の抵抗と並列に接続された第3のトランジスターと、

前記第5の抵抗と第1の電位との間に接続された第4の

トランジスターと前記第6の抵抗と第1の電位との間に接

40

第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、

前記第4の抵抗と並列に接続された第3のトランジスターと、

前記第5の抵抗と第1の電位との間に接続された第4の

トランジスターと前記第6の抵抗と第1の電位との間に接

続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする送信機モジュール。

【請求項12】 受信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した受信信号を増幅する受信増幅器と、増幅された受信信号を受信する受信回路とを有する受信機モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、  
第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、  
前記第1の抵抗と並列に接続された第1のトランジスタと、  
前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする受信機モジュール。

【請求項13】 受信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した受信信号を増幅する受信増幅器と、増幅された受信信号を受信する受信回路とを有する受信機モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、  
第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、  
前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、  
第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、  
前記第4の抵抗と並列に接続された第3のトランジスタと、  
前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

ンジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする受信機モジュール。

【請求項14】 データを処理するデータ処理部と、変復調部と、送信回路及び受信回路を有する高周波部と、

10 アンテナとを有する無線カードであって、前記無線カードはデータ処理装置に挿入され他の装置と前記データを通信し、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位

20 との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする無線カード。

【請求項15】 データを処理するデータ処理部と、変復調部と、送信回路及び受信回路を有する高周波部と、

アンテナとを有する無線カードであって、前記無線カードはデータ処理装置に挿入され他の装置と前記データを通信し、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、

第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、

前記第1の抵抗と並列に接続された第1のトランジスタと、

前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、

第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、

前記第4の抵抗と並列に接続された第3のトランジスタと、

前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、

50 前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、

ト電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき。

前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする無線カード。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、ステップアッテネータに関するものであり、特に、無線装置の高周波信号を減衰させるためのステップアッテネータに関する。

##### 【0002】

【従来の技術】ステップアッテネータは、減衰量をデジタル的に設定することができるアッテネータである。このステップアッテネータは、携帯電話機等の無線装置において、その送信出力を制御するために広く使用されている。

【0003】図12は、ステップアッテネータが適用されている無線装置のブロック図を示す。ステップアッテネータ6は、送信回路4と送信電力増幅器8との間に接続されている。例えば、無線装置の非常に強い出力電力によって、送信先の無線装置の受信増幅器を飽和させたり、他の無線装置に干渉を及ぼすような場合に、ステップアッテネータ6に大きな減衰量を設定し無線装置の出力電力を低減する。

【0004】ステップアッテネータは、携帯型装置に広く使用されるため、その小型化、高密度化が要求される。また、無線装置への適用のために、広い周波数特性も要求されている。図13に、ステップアッテネータの基本的な構成を示す。ステップアッテネータ20は、直列に接続された複数のアッテネータユニット22a、22b、22c（この場合は3つ）から構成されている。

【0005】各アッテネータユニットは、2組のSPDT（Single Pole Double Throw）スイッチ24a、24b、24cと、固定アッテネータ26a、26b、26cから構成されている。スイッチで、信号を固定アッテネータを通過させるか、或いは他の経路を通過させるかを選択することによって、アッテネータユニットの減衰量をデジタル的に制御できる。

【0006】ステップアッテネータにおいて、固定アッテネータの減衰量を適切に設定し、また各アッテネータユニットを適切にスイッチングすることによって、任意の減衰量をデジタル的に設定することができる。図13に示すステップアッテネータ20では、1dB固定アッテネータ26aを有するアッテネータユニット22a、2dB固定アッテネータ26bを有するアッテネータユニット22b、及び4dB固定アッテネータ26cを有するアッテネータユニット22cで構成されている。このステップアッテネータ20では、各アッテネータユニ

ットのスイッチング操作によって、0から7dBの減衰量を、1dBステップで設定することができる。

【0007】各アッテネータユニットにおいて、固定アッテネータには、一般的にT型アッテネータやπ型アッテネータが使用されている。図14に、T型アッテネータを使用した従来のアッテネータユニットの電気回路図、図15にπ型アッテネータを使用した従来のアッテネータユニットの電気回路図を示す。

【0008】図14に示すアッテネータユニット30は、T型アッテネータを構成する3つの抵抗R31、R32、R33と、スイッチとして2つの電界効果トランジスタ（FET）32、34を含んでいる。アッテネータユニット30は、FET32が非導通でFET34が導通のとき、T型アッテネータとして動作し大きな減衰量を与える。一方、FET32が導通で、FET34が非導通のとき、アッテネータユニット30の減衰量は小さくなる。

【0009】図15に示すアッテネータユニット40は、π型アッテネータを構成する3つの抵抗R41、R42、R43と、スイッチとして3つのFET42、44、46を含んでいる。アッテネータユニット40は、FET42が非導通でFET44、46が導通のとき、π型アッテネータとして動作し大きな減衰量を与える。一方、FET42が導通で、FET44、46が非導通のとき、アッテネータユニット40の減衰量は小さくなる。

【0010】図14に示すアッテネータユニット30のシャント（分路）側には、FET34が接続されており、一方、図15に示すアッテネータユニット40のシャント側には、FET44、46が接続されている。このように、T型アッテネータのシャント側は、π型アッテネータに比べて1つのFETで構成できるため、FETのオン抵抗の周波数特性やバラツキがアッテネータユニット30に与える影響は、アッテネータユニット40に比べて小さくできる。

【0011】しかし、T型アッテネータを有するアッテネータユニット30を、大きな減衰量で設計するとき、シャント側における抵抗値を極めて小さくする必要がある。このような極めて小さな抵抗は、広い面積を必要とすると共に、設計を難しくさせる。

【0012】一方、π型アッテネータを有するアッテネータユニット40は、上記の問題を克服できるため、ステップアッテネータを構成するのに適している。

##### 【0013】

【発明が解決しようとする課題】しかしながら、上述した従来のπ型アッテネータを適用したステップアッテネータには次のような問題点がある。アッテネータユニット40のシャント側には2つの電流路があるため、2つのFETが必要であり、装置を小型、高密度で形成することは難しい。従って、ステップアッテネータのサイズ

が、T型アッテネータを使用する場合に比べて大きくなる。

【0014】ところで、各アッテネータユニットのスイッチは、常に、オン及びオフするように制御される必要がある。即ち、各アッテネータユニットには、1つの制御信号と反転された制御信号とが必要になる。図13に示すように、反転された制御信号は、制御信号がインバータ回路28a、28b、28cで反転されることによって生成される。

【0015】図16に、従来のインバータ回路の電気回路図を示す。インバータ回路50は、ディブレッシュン型FET(D-FET)52とエンハンスマント型FET(E-FET)54より構成されている。E-FET54のゲートに入力された信号は、反転されてE-FETのドレインから出力される。

【0016】インバータ回路50は、2つのFETを含んでいるため、プロセス上のバラツキによってインバータ回路50の特性が変動しやすい。従って、そのバラツキを吸収するような設計が必要となる。また、2つのFETのサイズは、ステップアッテネータの回路規模に比べて無視できるものではなく、それらによって、ステップアッテネータのサイズが大きくなる。

【0017】本発明の目的は、小型かつ高密度で形成できるステップアッテネータを提供することにある。また、本発明の他の目的は、簡単に設計できるステップアッテネータを提供することにある。

【0018】さらに、本発明の目的は、低成本のステップアップテネータを提供することにある。

[0019]

【課題を解決するための手段】上記課題を解決するために本発明では、下記の手段を講じたことを特徴とするものである。請求項1記載の発明装置では、信号を減衰するためのアッテネータユニットであって、前記アッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0020】請求項2記載の発明装置では、前記アッテネータユニットは、前記第1のトランジスタのゲート電圧と前記第2のトランジスタのゲート電圧の少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、第1のディブレッシュョン型FET(D-FET)と、前記第1のD-FETのドレンと第1の電源電圧との間に接続された第1の抵抗と、前記第1のD-FETのソースと第2の電源電圧と

の間に接続された第2の抵抗と、前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする。

【0021】請求項3記載の発明装置では、直列に接続された複数のアッテネータユニットを有し、信号を段階的に減衰するステップアッテネータであって、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0022】請求項4記載の発明装置では、前記複数のアッテネータユニットのうち少なくとも1つは、前記第1のトランジスタのゲート電圧と前記第2のトランジスタのゲート電圧の少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、第1のディプレッション型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、前記第1のD-FETのソースと第2の電源電圧との間に接続された第2の抵抗と、前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする。

【0023】請求項5記載の発明装置では、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとを有し、信号を段階的に減衰するステップアッテネータであって、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3の

トランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする。

【0024】請求項6記載の発明装置では、前記ステップアッテネータは、前記第1のトランジスタのゲート電圧、前記第2のトランジスタのゲート電圧、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、前記第5のトランジスタのゲート電圧のうち少なくとも1つを制御する制御信号を出力するインバータ回路を有し、前記インバータ回路は、第1のディブレッシュン型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、前記第1のD-FETのソースと第2の電源電圧との間に接続された第2の抵抗と、前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された前記制御信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする。

【0025】請求項7記載の発明装置では、第1のディブレッシュン型FET(D-FET)と、前記第1のD-FETのドレインと第1の電源電圧との間に接続された第1の抵抗と、前記第1のD-FETのソースと第2の電源電圧との間に接続された第2の抵抗と、前記第1のD-FETのゲートと前記第2の電源電圧との間に接続された第3の抵抗とを有し、前記第1のD-FETのゲートに入力された信号が反転され、前記第1のD-FETのドレインから出力されることを特徴とする。

【0026】請求項8記載の発明装置では、信号を段階的に減衰するステップアッテネータと、該ステップアッテネータの出力側に接続された増幅器とを有する増幅器モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0027】請求項9記載の発明装置では、信号を段階的に減衰するステップアッテネータと、該ステップアッテネータの出力側に接続された増幅器とを有する増幅器モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタ

とも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする。

【0028】請求項10記載の発明装置では、送信信号を生成する送信回路と、前記送信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した前記送信信号を增幅する増幅器とを有する送信機モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0029】請求項11記載の発明装置では、送信信号を生成する送信回路と、前記送信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した前記送信信号を增幅する増幅器とを有する送信機モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとからなり、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタ

のゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする。

【0030】請求項12記載の発明装置では、受信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した受信信号を増幅する受信増幅器と、増幅された受信信号を受信する受信回路とを有する受信機モジュールであって、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0031】請求項13記載の発明装置では、受信信号を段階的に減衰するステップアッテネータと、該ステップアッテネータを通過した受信信号を増幅する受信増幅器と、増幅された受信信号を受信する受信回路とを有する受信機モジュールであって、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットとかなり、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、前記第5の抵抗と第1の電位との間

に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量よりも小さいことを特徴とする。

- 【0032】請求項14記載の発明装置では、データを処理するデータ処理部と、変復調部と、送信回路及び受信回路を有する高周波部と、アンテナとを有する無線カードであって、前記無線カードはデータ処理装置に挿入され他の装置と前記データを通信し、前記ステップアッテネータは、直列に接続された複数のアッテネータユニットからなり、前記複数のアッテネータユニットの各々は、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含むπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記アッテネータユニットの減衰量を変更できることを特徴とする。

【0033】請求項15記載の発明装置では、データを処理するデータ処理部と、変復調部と、送信回路及び受信回路を有する高周波部と、アンテナとを有する無線カードであって、前記無線カードはデータ処理装置に挿入され他の装置と前記データを通信し、前記ステップアッテネータは、少なくとも1つの第1のアッテネータユニットと、少なくとも1つの第2のアッテネータユニットからなり、前記第1のアッテネータユニットは、第1の抵抗と、該第1の抵抗の両側に構成された第2及び第3の抵抗を含む第1のπ型アッテネータと、前記第1の抵抗と並列に接続された第1のトランジスタと、前記第2の抵抗と前記第3の抵抗の結合点と第1の電位との間に接続された第2のトランジスタとを有し、前記第1のトランジスタのゲート電圧及び前記第2のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、また、前記第2のアッテネータユニットは、第4の抵抗と、該第4の抵抗の両側に接続された第5及び第6の抵抗を含む第2のπ型アッテネータと、前記第4の抵抗と並列に接続された第3のトランジスタと、前記第5の抵抗と第1の電位との間に接続された第4のトランジスタと前記第6の抵抗と第1の電位との間に接続された第5のトランジスタとを有し、前記第3のトランジスタのゲート電圧、前記第4のトランジスタのゲート電圧、及び前記第5のトランジスタのゲート電圧を制御することによって前記第2のアッテネータユニットの減衰量を変更でき、前記第1のアッテネータユニットの減衰量は、前記第2のアッテネータユニットの減衰量を変更する。

ータユニットの減衰量よりも小さいことを特徴とする。

【0034】

【作用】請求項1記載のアッテネータユニットにおいては、従来のアッテネータユニットに比べて、シャント(分路)側のトランジスタの数が1つに低減されている。従って、アッテネータユニットの部品数やレイアウト面積が削減でき、簡易な構成のアッテネータユニットが実現できる。さらに、従来のアッテネータユニットにおけるシャント側の2つのFETが、1つに共通化されているため、FETの特性のバラツキによって周波数特性が劣化するのを防止することができる。

【0035】また、本アッテネータユニットをMMICにおいて構成した場合、チップ面積の減少によって、設計コストが低減でき、また1ウェハから生成できるチップ数の増加によって、量産化が可能になる。また、制御電圧をビンチオフ電圧近くに設定することによって、アッテネータユニットを減衰量を連続的に可変できるバリアブルアッテネータとして動作させることができる。

【0036】請求項3記載のステップアッテネータでは、各アッテネータユニットが簡単な構成を有するため、ステップアッテネータも小型化、簡素化できる。また、各アッテネータユニットが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0037】請求項5記載のステップアッテネータでは、大きな減衰量を有するアッテネータユニットは、従来のアッテネータユニットによって構成され、比較的小さな減衰量を有するアッテネータユニットは、本発明のアッテネータユニットによって構成されている。従って、本ステップアッテネータは、大きい減衰量に対しても小型化できると共に、良好な特性を有することができる。

【0038】請求項2のアッテネータユニット、又は、請求項4又は6記載のステップアッテネータにおいては、アッテネータユニットに要するトランジスタの数は、従来のアッテネータユニットよりも少なくでき、またインバータ回路に要するトランジスタの数も、従来のインバータ回路よりも少なくできる。従って、本ステップアッテネータは、従来よりも、小型で簡易なアッテネータユニット、インバータ回路を使用しているため、より一層の小型化、簡素化が可能である。また、各アッテネータユニット及びインバータが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0039】特に、請求項6記載のステップアッテネータは、大きい減衰量に対しても良好な特性を有することができる。請求項7記載のインバータ回路は、1つのFETを用いてインバータ動作を実現できることがわか

る。従って、本発明のインバータ回路は、2つのFETを有する従来のインバータ回路に比べて、小型化できる。また、これにより設計も簡単化でき、インバータ回路のコストを低減できる。

【0040】請求項8又は9記載の增幅器モジュールは、小型化、簡素化に適したステップアッテネータを使用しているので、小さく構成できる。請求項10又は11記載の送信機モジュール、又は、請求項12又は13記載の受信機モジュールは、本発明に係わるステップアッテネータを使用することによって、小型化、低コスト化が可能となる。

【0041】請求項14又は15記載の無線カードは、高周波部に本発明に係わるステップアッテネータ、及びインバータ回路を適用しているため、小型化できる。従って、パーソナルコンピュータのカードの装着のために、大きな体積を必要せず、小型の無線カード用パーソナルコンピュータを実現できる。

【0042】

【実施例】図1は、本発明のアッテネータユニット100の電気回路図である。アッテネータユニット100は、抵抗106と、抵抗106の両側に配置された抵抗108、110とを有している。これら3つの抵抗は、固定アッテネータとしてπ型アッテネータを構成している。なお、アッテネータユニットは、単体においてもアッテネータとして使用でき、複数で構成することによってステップアッテネータとして使用することができる。

【0043】また、電界効果トランジスタ(FET)102が、抵抗106に並列に接続されている。さらに、FET104が、抵抗108及び抵抗110の接合点と、グランド112との間に接続されている。FET102では、そのゲート電圧は、外部制御信号Sによって、抵抗114を介して制御される。一方、FET104では、そのゲート電圧は、反転された外部制御信号によって、抵抗116を介して制御される。なお、外部制御信号Sを反転するためのインバータ回路122については、後に詳細に説明する。

【0044】次に、アッテネータユニット100の動作について説明する。外部制御信号Sによって、FET102がターンオフされ、またFET104がターンオンされているとき、アッテネータユニット100は、π型アッテネータとして動作する。従って、端子118に入力された信号は、抵抗106、108、110によって決定される減衰量に応じて減衰され、端子120に出力される。

【0045】一方、外部制御信号Sによって、FET102がターンオンされ、また、FET104がターンオフされているとき、端子118と端子120との間は導通状態となる。従って、端子118に入力された信号は、殆ど減衰されずに端子120に出力される。

【0046】このように、FET102及びFET104

4をデジタル的に制御することによって、端子118及び端子120との間の減衰量をステップ的に設定することができる。特に、本発明のアッテネータユニット100では、図15に示した従来のアッテネータユニット40に比べて、シャント(分路)側のトランジスタの数が1つに低減されている。従って、アッテネータユニットの部品数やレイアウト面積が削減でき、簡易な構成のアッテネータユニットが実現できる。さらに、従来のアッテネータユニット40におけるシャント側の2つのFETが、1つに共通化されているため、FETの特性のバラツキによって周波数特性が劣化するのを防止することができる。

【0047】また、本アッテネータユニット100をMICにおいて構成した場合、チップ面積の減少によって、設計コストが低減でき、また1ウェハから生成できるチップ数の増加によって、量産化が可能になる。上述したFETは、オン時には抵抗として動作し、オフ時にはキャパシタンスとして動作する。ドレイン電流が流れ始めるときのゲート電圧、即ちビンチオフは、例えば-0.8Vである。従って、FETのゲート電圧としては、0V/-3Vのようにビンチオフ電圧から離れた電圧が供給されている。しかし、逆に、ビンチオフ電圧に近い電圧がゲートに加えられると、FETは、抵抗とキャパシタンスの両方の性質を持って動作する。この場合、アッテネータユニットは、制御電圧に従った任意の減衰量を有することができる。即ち、制御電圧をビンチオフ電圧近くに設定することによって、アッテネータユニットを減衰量を連続的に可変できるバリアブルアッテネータとして動作させることができる。

【0048】図2は、本発明に係わるステップアッテネータの第1実施例の電気回路図を示す。ステップアッテネータ150は、直列接続された3つのアッテネータユニット110-1、110-2、110-3を有する。これらのアッテネータの各々は、図1に示すアッテネータユニット110と同じ構成を有している。ただし、各アッテネータユニットにおける抵抗の値は、各アッテネータユニットの固定アッテネータが所望の減衰量を有するように決定されている。

【0049】例えば、アッテネータユニット110-1では、11Ω、436Ω、436Ωの抵抗によって、2dBの減衰量を有するπ型アッテネータを構成している。同様に、アッテネータユニット110-2は、4dBの減衰量の固定アッテネータを有し、またアッテネータユニット110-3では、8dBの減衰量の固定アッテネータを有している。

【0050】各アッテネータユニット内のFETは、外部制御信号S1、S2、S3によってそれぞれ制御される。例えば、外部制御信号S1、S2、S3によって、全てのアッテネータユニットがアッテネータとして動作させられた場合は、ステップアッテネータ150は、1

4dBの減衰量を有する。また、アッテネータユニット110-3のみがアッテネータとして動作させられた場合は、ステップアッテネータ150は、8dBの減衰量を有する。このように、本アッテネータユニット150の減衰量は、0dBから14dBまで、2dBステップで変更できる。

【0051】本発明に係わるアッテネータユニットを用いたステップアッテネータでは、各アッテネータユニットが簡単な構成を有するため、ステップアッテネータも小型化、簡素化できる。また、各アッテネータユニットが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0052】ところで、本ステップアッテネータの各アッテネータユニットがアッテネータとして動作しているとき、入力信号の電力が大きくなると以下に示すような問題が発生する。アッテネータユニットが正しく動作している場合は、シャント側の抵抗に発生した高周波電力は、シャント側のFETを通じてグランドに消費される。しかし、入力信号の電力が大きくなりこの高周波電力が大きくなると、この高周波電力の一部は、グランドに消費されずに、他方のシャント側の抵抗を介して出力端子に流れる。従って、所望の減衰量を実現できなくなる恐れがある。これに対して、図15に示す2つのシャント側のFETを有する従来のアッテネータユニットでは、一方のシャント側の抵抗に発生した高周波電力が、他方のシャント側の抵抗に流れることはない。従って、従来のアッテネータユニットでは、大きな高周波電力に対しても、ほぼ所望の減衰量を実現できる。

【0053】以下に、本発明のアッテネータユニットと、従来のアッテネータユニットの減衰特性を比較する。図3は、図1に示す本発明のアッテネータユニットと図15に示す従来のアッテネータユニットの減衰量の特性図である。横軸は、設計減衰量を示し、縦軸は、減衰量の測定値を示す。設計減衰量が8dBまでは、両方のアッテネータユニットとも、ほぼ設計値と同じ減衰量が測定されている。しかし、10dB以上の設計減衰量では、本発明のアッテネータユニットの減衰量は、設計値から大きく離れる。これに対して、従来のアッテネータユニットの減衰量は、10dB以上の設計減衰量においても、ほぼ設計値と同じ減衰量が得られている。なお、従来のアッテネータユニットにおいて、理論値と実際の特性との差は、FETの損失等によるものである。

【0054】上述したように、図3の例では、設計減衰量が8dB以下のときに、本発明のアッテネータユニットが有効に動作することが分かる。従って、従来のアッテネータユニットのみを使用するステップアッテネータに対して、その一部に本発明のアッテネータユニットを適用することによって、より小型化したかつ良好な特性

を有するステップアッテネータを実現できる。

【0055】図4は、本発明に係わるステップアッテネータの第2の実施例の電気回路図を示す。ステップアッテネータ160は、アッテネータユニット110-4、110-5と、アッテネータユニット40-1を有し、これらは直列に接続されている。アッテネータユニット110-4、110-5の各々は、図1に示すアッテネータユニット110と同じ構成を有しており、アッテネータユニット40-1は、図15に示すアッテネータユニット40と同じ構成を有している。

【0056】また、アッテネータユニット110-4、110-5の抵抗値は、各固定アッテネータが3dB、6dBの減衰量を有するように決定されている。また、アッテネータユニット40-1の抵抗の値は、固定アッテネータが12dBの減衰量を有するように決定されている。アッテネータユニット110-4、110-5では、シャント側のオン抵抗値が、シャント側の抵抗値(292Ω、150Ω)よりも十分小さくなっている。従って、ステップアッテネータ160の減衰量は、0dBから21dBまで、3dBステップで変更できる。

【0057】本ステップアッテネータ160では、12dBの大きな減衰量を有するアッテネータユニットは、従来のアッテネータユニットによって構成され、比較的小い減衰量を有するアッテネータユニットは、本発明のアッテネータユニットによって構成されている。従って、本ステップアッテネータは、大きい減衰量に対しても小型化できると共に、良好な特性を有することができる。

【0058】次に、本発明に係わるインバータ回路につ\*

$$\begin{aligned} \text{出力電圧} &= (R_2 + R_{off}) / (R_1 + R_2 + R_{off}) \times V_{cc} \\ &= (1 + R_2 / R_{off}) (1 + (R_1 + R_2) / R_{off}) \times V_{cc} \\ &\approx V \quad (R_{off} \gg R_1, R_2) \end{aligned}$$

従って、入力電圧が0Vの場合、出力電圧はVとなる。※※【入力電圧がV1の場合】

$$\text{出力電圧} = (R_2 + R_{on}) / (R_1 + R_2 + R_{on}) \times V_{cc}$$

$(R_2 + R_{on}) / (R_1 + R_2 + R_{on})$ は、1より小さいので、入力がV1の場合、出力電圧はVccよりも低くなる(V2)。この場合、出力電圧がローと判定できるように、R1の値が決定される。

【0061】以上のようにして、D-FET202のドレインには、ゲートに加えられる入力信号を反転した信号が得られる。上述したように、1つのFETを有するこのような構成においても、インバータ回路を実現できることがわかる。従って、本発明のインバータ回路200は、2つのFETを有する図16で示した従来のインバータ回路50に比べて、小型化できる。また、これにより設計も簡単化でき、インバータ回路のコストを低減できる。

【0062】図6は、本発明に係わるインバータ回路の第1実施例を用いたSPDTスイッチの電気回路図である。SPDTスイッチ240は、D-FET242、2

\*いて説明する。図5は、本発明に係わるインバータ回路の第1実施例の電気回路図である。インバータ回路200は、D-FET202と3つの抵抗R1、R2、R3からなる。抵抗R1は、D-FET202のドレインと電源電圧Vccとの間に接続され、抵抗R2は、D-FET202のソースとグランドとの間に接続され、さらに、抵抗R3は、D-FET202のゲートとグランドとの間に接続されている。入力信号は、D-FET202のゲートから供給される。

【0059】このインバータ回路200では、抵抗R2は、(ビンチオフ電圧の絶対値/ドレイン・ソース間電流)に設定され、また抵抗R3は数kΩ以上に設定される。ドレイン・ソース間に電圧が印加されると、ゲート幅に応じた電流が抵抗R2に流れる。従って、抵抗R2には、逆起電力が発生し、そのマイナスの電圧が抵抗R3に加わり、自己バイアスとなる。その時に、ゲート側に加える電圧と等しい逆起電力が発生する様に、抵抗R2を決定することによって、ビンチオフ状態に設定できる。このようにして、自己バイアス回路が構成され、動作点がビンチオフの状態に設定される。

【0060】これにより、ゲート電圧が0Vの場合、D-FET202はオフ、V1の電圧が加わった場合はオンとなる(但し、V1は、D-FET202がオンとなる任意の電圧である)。次に、この時の出力電圧を求める。ここで、D-FET202のオンされた場合のFETの抵抗をRon、D-FET202がオフされた場合のFETの抵抗をRoffとする。

【入力電圧が0Vの場合】

44とインバータ回路200-1を有している。制御信号Sは、D-FET242のゲートに供給され、またインバータ回路200-1によって反転された制御信号は、D-FET244のゲートに供給されている。

【0063】制御信号Sによって、端子254及び端子256へ供給された信号のどちらか一方を端子252へ出力することができ、或いは端子252に供給された信号を端子254或いは端子256のどちらかに出力することができる。図6に示されたSPDTスイッチ240は、小型化、簡易化されたインバータ回路200-1を使用しているので、これらのスイッチの小型化、低コスト化が実現できる。

【0064】図7は、本発明に係わるステップアッテネータの第3実施例の電気回路図である。本ステップアッテネータ300は、図2で示したステップアッテネータ150に、図5に示したインバータ回路200を適用す

ることによって構成した回路である。ステップアッテネータ300の動作は、図2のステップアッテネータ150の動作と同じである。

【0065】本ステップアッテネータ300においては、アッテネータユニットに要するトランジスタの数は、従来のアッテネータユニットよりも少なくでき、またインバータ回路に要するトランジスタの数も、従来のインバータ回路よりも少なくできる。従って、本ステップアッテネータ300は、従来よりも、小型で簡易なアッテネータユニット、及びインバータ回路を使用しているため、より一層の小型化、簡素化が可能である。また、各アッテネータユニット及びインバータが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0066】図8は、本発明に係わるステップアッテネータの第4実施例の電気回路図である。本ステップアッテネータ350は、図4で示したステップアッテネータ160に、図5に示したインバータ回路200を適用することによって構成した回路である。ステップアッテネータ350の動作は、図4のステップアッテネータ160の動作と同じである。

【0067】本ステップアッテネータ350は、従来よりも、小型で簡易なアッテネータユニット、及びインバータ回路を使用しているため、より一層の小型化、簡素化が可能である。特に、本ステップアッテネータは、大きい減衰量に対しても良好な特性を有することができる。

【0068】次に、本発明に係わるステップアッテネータの応用例について説明する。始めに、本発明に係わるステップアッテネータを無線装置に適用した例について、図9を用いて説明する。図9は、本発明に係わる無線装置のブロック構成図である。無線装置400は、送信部と受信部よりなる。送信部は、送信回路402、ステップアッテネータ404、及び電力増幅器406よりなる。また受信部は、低雑音増幅器412、ステップアッテネータ414、及び受信回路416よりなる。ステップアッテネータ404、414は、上述した本発明に係わるステップアッテネータの何れかを適用することができる。

【0069】ステップアッテネータ404は、干渉を軽減するために、送信信号を段階的に減衰させることができる。また、ステップアッテネータ414は、受信回路416が飽和するのを防ぐために、受信信号を段階的に減衰させることができる。送信部、及び受信部は、それぞれMMICで構成することができる。また、ステップアッテネータ404と電力増幅器406、或いは低雑音増幅器412とステップアッテネータ414とで、それぞれ増幅器モジュールを構成することも可能である。こ

の場合、増幅器モジュールをより小さく実現できる。なお、上記の例において、ステップアッテネータ414を低雑音増幅器412の後段に設定したのは、雑音指数の増加を防ぐためであるが、過大入力の防止という観点から低雑音増幅器412の前段に設定する場合もある。

【0070】無線装置400は、本発明に係わるステップアッテネータを使用することによって、小型化、低コスト化が可能となる。次に、本発明に係わるステップアッテネータを無線カードに適用した例について、図10及び図11を用いて説明する。

【0071】図10は、本発明に係わる無線カードのブロック構成図であり、図11は、図10に示す無線カードの使用例を示す。図10に示す無線カード500は、アンテナ510、高周波部520、中間周波数部530、変復調器540、制御部550、インタフェース部560よりなる。高周波部520は、上述した本発明に係わるステップアッテネータの何れかを含んでいる。

【0072】本無線カード500は、例えば、PCMCIA (Personal Computer Memory Card International Association) カードとして構成できる。この無線カードは、SS (スペクトラム拡散) 無線LANカードとして図11に示すように、パーソナルコンピュータ570に装着されて使用される。パーソナルコンピュータ570、無線LANカードを通じて、他のパーソナルコンピュータ或いはホストコンピュータと通信することができる。

【0073】本発明の無線カードは、高周波部に本発明に係わるステップアッテネータ、及びインバータ回路を適用しているため、小型化できる。従って、パーソナルコンピュータのカードの装着のために、大きな体積を必要せず、小型の無線カード用パーソナルコンピュータを実現できる。

#### 【0074】

【発明の効果】上述したように、本発明によれば以下に示す効果を有する。請求項1記載のアッテネータユニットにおいては、従来のアッテネータユニットに比べて、シャント(分路)側のトランジスタの数が1つに低減されている。従って、アッテネータユニットの部品数やレイアウト面積が削減でき、簡易な構成のアッテネータユニットが実現できる。さらに、従来のアッテネータユニットにおけるシャント側の2つのFETが、1つに共通化されているため、FETの特性のバラツキによって周波数特性が劣化するのを防止することができる。

【0075】また、本アッテネータユニットをMMICにおいて構成した場合、チップ面積の減少によって、設計コストが低減でき、また1ウェハから生成できるチップ数の増加によって、量産化が可能になる。また、制御電圧をピンチオフ電圧近くに設定することによって、アッテネータユニットを減衰量を連続的に可変できるバリ

アブルアッテネータとして動作させることができる。

【0076】請求項3記載のステップアッテネータでは、各アッテネータユニットが簡単な構成を有するため、ステップアッテネータも小型化、簡素化できる。また、各アッテネータユニットが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0077】請求項5記載のステップアッテネータでは、大きな減衰量を有するアッテネータユニットは、従来のアッテネータユニットによって構成され、比較的小さい減衰量を有するアッテネータユニットは、本発明のアッテネータユニットによって構成されている。従って、本ステップアッテネータは、大きい減衰量に対しても小型化できると共に、良好な特性を有することができる。

【0078】請求項2のアッテネータユニット、又は、請求項4又は6記載のステップアッテネータにおいては、アッテネータユニットに要するトランジスタの数は、従来のアッテネータユニットよりも少なくでき、またインバータ回路に要するトランジスタの数も、従来のインバータ回路よりも少なくできる。従って、本ステップアッテネータは、従来よりも、小型で簡易なアッテネータユニット、インバータ回路を使用しているため、より一層の小型化、簡素化が可能である。また、各アッテネータユニット及びインバータが良好な周波数特性を有するので、本ステップアッテネータも、従来のアッテネータユニットを有するステップアッテネータに比べて、より良好な周波数特性を有することができる。

【0079】特に、請求項6記載のステップアッテネータは、大きい減衰量に対しても良好な特性を有することができる。請求項7記載のインバータ回路は、1つのFETを用いてインバータ動作を実現できることがわかる。従って、本発明のインバータ回路は、2つのFETを有する従来のインバータ回路に比べて、小型化できる。また、これにより設計も簡単化でき、インバータ回路のコストを低減できる。

【0080】請求項8又は9記載の増幅器モジュールは、小型化、簡素化に適したステップアッテネータを使用しているので、小さく構成できる。請求項10又は11記載の送信機モジュール、又は、請求項12又は13記載の受信機モジュールは、本発明に係わるステップアッテネータを使用することによって、小型化、低成本化が可能となる。

【0081】請求項14又は15記載の無線カードは、高周波部に本発明に係わるステップアッテネータ、及びインバータ回路を適用しているため、小型化できる。従って、パソコンコンピュータのカードの装着のため、大きな体積を必要せず、小型の無線カード用パソコンコンピュータを実現できる。

【図面の簡単な説明】

【図1】本発明に係わるアッテネータユニットの電気回路図である。

【図2】本発明に係わるステップアッテネータの第1実施例の電気回路図である。

【図3】図1に示す本発明のアッテネータユニットと図15に示す従来のアッテネータユニットの減衰量の特性図である。

【図4】本発明に係わるステップアッテネータの第2の実施例の電気回路図である。

【図5】本発明に係わるインバータ回路の第1実施例の電気回路図である。

【図6】本発明に係わるインバータ回路の第1実施例を用いたSPDTスイッチの電気回路図である。

【図7】本発明に係わるステップアッテネータの第3実施例の電気回路図である。

【図8】本発明に係わるステップアッテネータの第4実施例の電気回路図である。

【図9】本発明に係わる無線装置のブロック構成図である。

【図10】本発明に係わる無線カードのブロック構成図である。

【図11】図10に示す無線カードの適用例である。

【図12】ステップアッテネータが適用されている無線装置のブロック図である。

【図13】ステップアッテネータの基本的な構成である。

【図14】T型アッテネータを使用した従来のアッテネータユニットの電気回路図である。

【図15】π型アッテネータを使用した従来のアッテネータユニットの電気回路図である。

【図16】従来のインバータ回路の電気回路図である。

【符号の説明】

2 変調器

4 送信回路

6 ステップアッテネータ

8 送信電力増幅器

10 フィルタ

12 アンテナ

40 14 低雑音増幅器

16 受信回路

18 復調器

20 ステップアッテネータ

22a、22b、22c アッテネータユニット

24a、24b、24c SPDTスイッチ

26a、26b、26c 固定アッテネータ

28a、28b、28c インバータ回路

30 T型アッテネータユニット

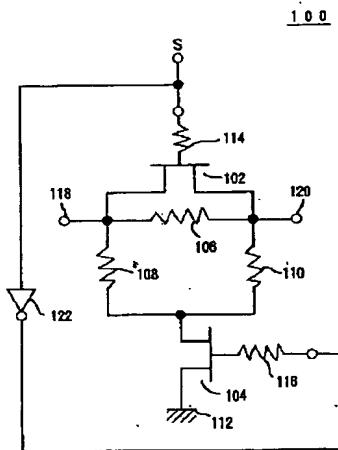
32、34 FET

50 40、40-1 π型アッテネータユニット

42、44、46 FET	* 400 無線装置
50 インバータ回路	402 送信回路
52 D-FET	404 ステップアッテネータ
54 E-FET	406 電力増幅器
100 アッテネータユニット	408 切替スイッチ
102、104 FET	410 アンテナ
106、108、110 抵抗	412 低雑音増幅器
112 グランド	414 ステップアッテネータ
114、116 抵抗	416 受信回路
118、120 端子	10 500 無線カード
122 インバータ回路	510 アンテナ
150 ステップアッテネータ	520 高周波部
110-1、110-2、110-3 アッテネータユニット	530 中間周波数部
160 ステップアッテネータ	540 変復調部
110-4、110-5 アッテネータユニット	550 制御部
200、200-1 インバータ回路	560 インタフェース部
202 D-FET	R1、R2、R3 抵抗
240 インバータ回路	R4、R5 抵抗
242、244、246 D-FET	R6、R7、R8、R9、R10、R11、R12、R
252、254、256 端子	20 13 抵抗
300 ステップアッテネータ	R14、R15、R16 抵抗
350 ステップアッテネータ	R31、R32、R33 抵抗
*	* R41、R42、R43 抵抗

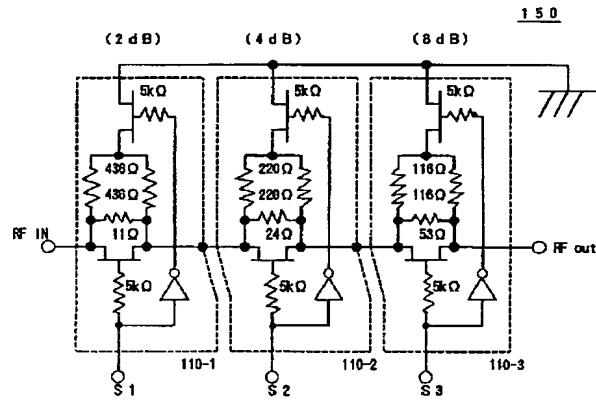
【図1】

本発明に係るアッテネータユニットの電気回路図



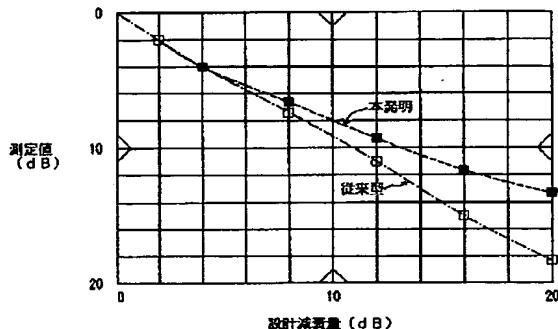
【図2】

本実例に係るステップアッテネータの第1実施例の電気回路図



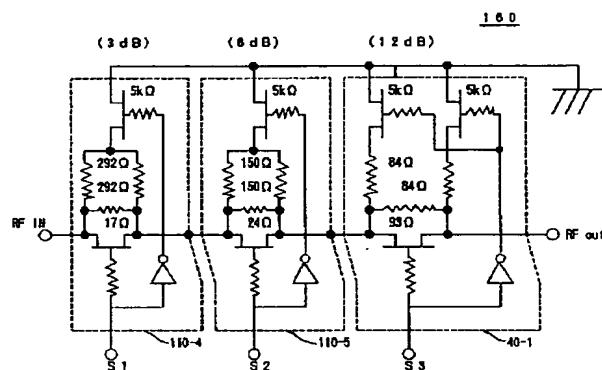
【図3】

図1に示す本発明のアッテネータと図15に示す従来のアッテネータユニットの減衰量の特性図



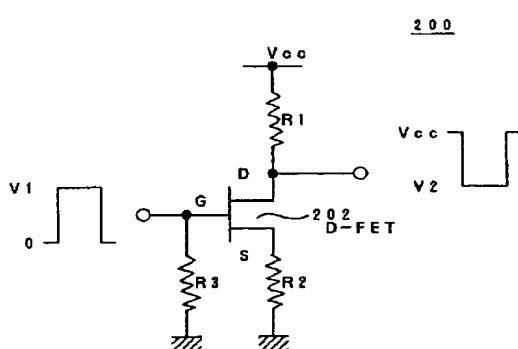
【図4】

本発明に係わるステップアッテネータの第2の実施例の電気回路図



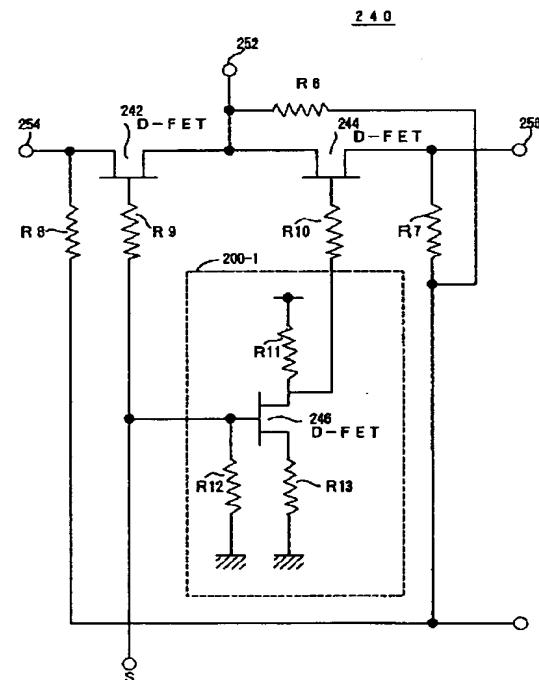
【図5】

本発明に係わるインバータ回路の第1実施例の電気回路図



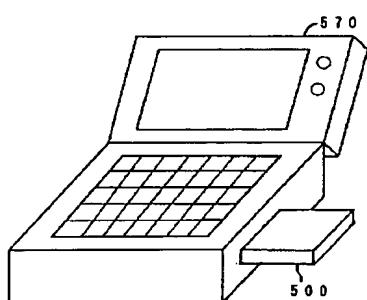
【図6】

本発明に係わるインバータ回路の第1実施例を用いたS P D Tスイッチの電気回路図



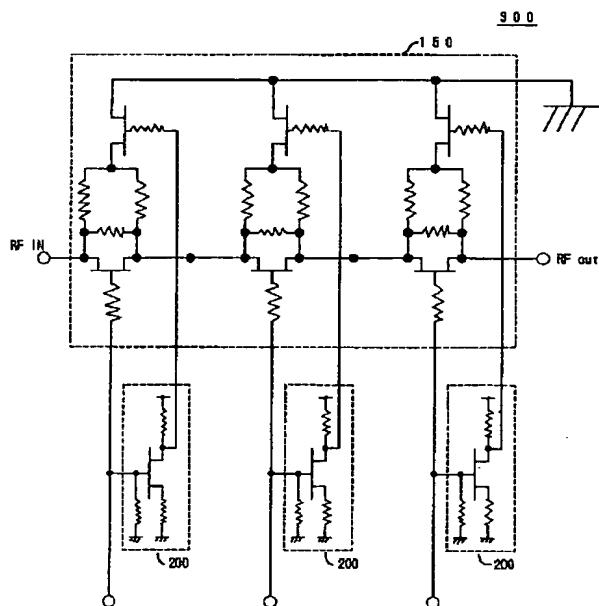
【図11】

図10に示す基板カードの適用例



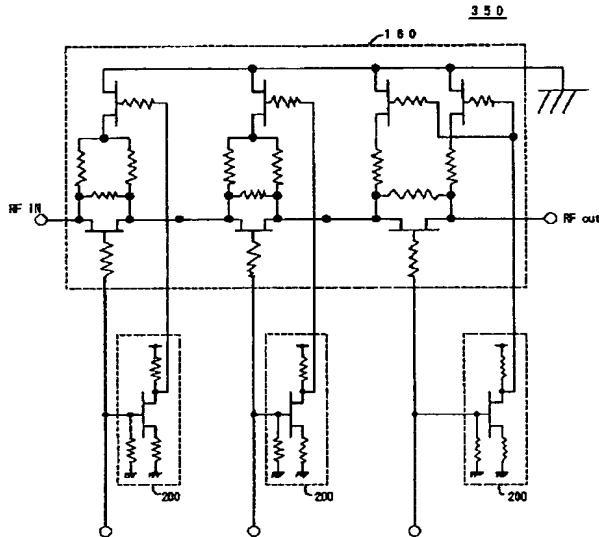
【図7】

本発明に係るステップアッテネータの第3実施例の電気回路図



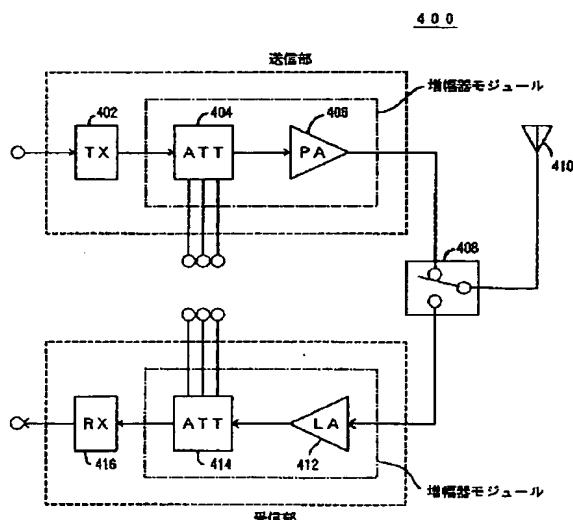
【図8】

本発明に係るステップアッテネータの第4実施例の電気回路図



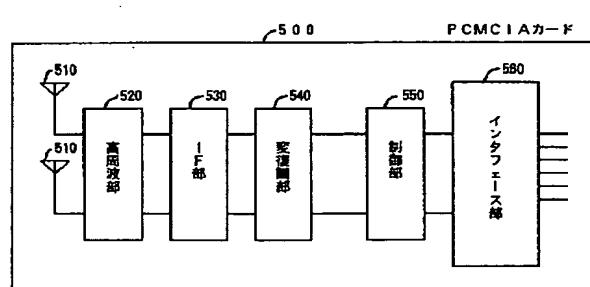
【図9】

本発明に係る無線装置のブロック構成図



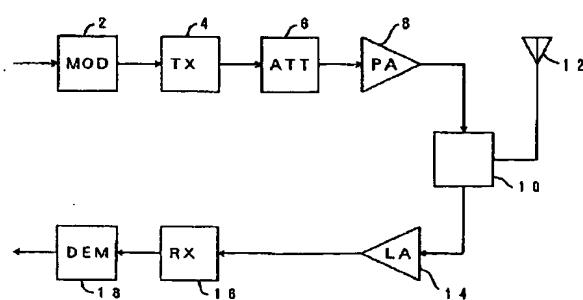
【図10】

本発明に係る無線カードのブロック構成図



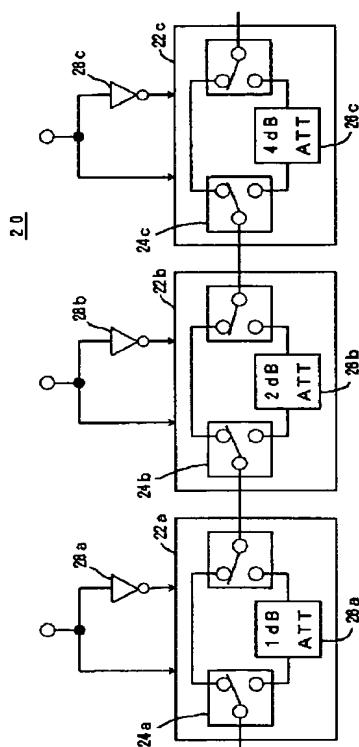
【図12】

ステップアッテネータが適用されている無線装置のブロック図



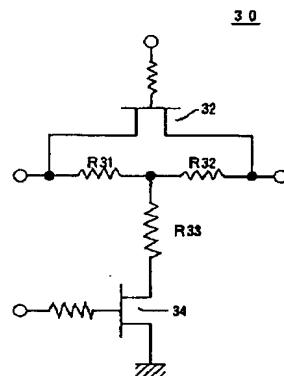
【図13】

ステップアップテネータの基本的な構成



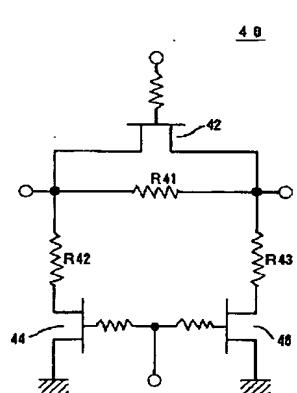
【図14】

T型アッテネータを使用した従来のアッテネータユニットの電気回路図



【図15】

T型アッテネータを使用した従来のアッテネータユニットの電気回路図



従来のインバータ回路の電気回路図

